

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-224254

(43)Date of publication of application : 06.09.1990

(51)Int.Cl.

H01L 21/336

G02F 1/136

H01L 29/784

(21)Application number : 01-043028

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.02.1989

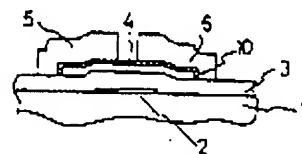
(72)Inventor : MATSUZAKI EIJI
TAKANO TAKAO
KOSHIMO TOSHIYUKI
YORITOMI YOSHIFUMI
KENMOCHI AKIHIRO

(54) THIN FILM TRANSISTOR, MANUFACTURE THEREOF, MATRIX CIRCUIT SUBSTRATE, AND PICTURE DISPLAY USING IT

(57)Abstract:

PURPOSE: To improve a characteristic by providing a thin film having a property to conduct electrons to the interface between the second and third electrodes provided on a semiconductor thin film pattern as a drain electrode and a source electrode for blocking positive holes.

CONSTITUTION: A first electrode pattern 2 provided on an insulating substrate 1 as a gate electrode, a first insulating film 3 provided as a gate insulating film so as to cover this, and a semiconductor thin film pattern 4 provided on this insulating film 3 overlapping the first electrode pattern 2 while having a limited region for existence, are provided. Further, second and third electrodes 5 and 6 provided on a pattern 4 coating a part thereof while being mutually separated as a drain electrode and a source electrode, are provided. Then, a thin film 10 containing silicon oxide having a property to conduct electrons to the interface between the second and third electrodes 5 and 6 on a semiconductor thin film pattern 4 for blocking positive holes, is provided. Thereby, a process relating to an n-type silicon thin film to be used for electric contact of the drain electrode 5 and the source electrode 6 can be omitted so as to improve a characteristic.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

訂正有り

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-224254

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月6日

H 01 L 21/336

8624-5F
8624-5F

H 01 L 29/78

3 1 1 Y
A※

審査請求 未請求 請求項の数 8 (全11頁)

⑮ 発明の名称 薄膜トランジスタ及びその製造方法並びにそれを用いたマトリクス回路基板と画像表示装置

⑯ 特 願 平1-43028

⑰ 出 願 平1(1989)2月27日

⑱ 発 明 者 松 崎 永 二 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発 明 者 高 野 隆 男 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑳ 発 明 者 小 下 敏 之 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 中村 純之助
最終頁に続く

明 細 書

1. 発明の名称

薄膜トランジスタ及びその製造方法並びにそれを用いたマトリクス回路基板と画像表示装置

2. 特許請求の範囲

1. 絶縁性基板上にゲート電極として設けられた第1の電極パターンと、少なくともこの電極パターンを覆うようにゲート絶縁膜として設けられた第1の絶縁膜と、この絶縁膜上に前記第1の電極パターンと重なりあかつ存在領域を限定して設けられたシリコンを主成分とする半導体薄膜パターンと、この半導体薄膜パターン上にその一部を被覆しかつ互に離間してドレイン電極及びソース電極として設けられた第2及び第3電極とを有して成る薄膜トランジスタにおいて、前記半導体薄膜パターン上の少なくとも前記第2及び第3電極との界面に電子を通し正孔をブロックする性質を有する酸化シリコンを含む薄膜を設けて成ることを特徴とする薄膜トラ

ンジスタ。

2. 上記酸化シリコンを含む薄膜に、周期律表第V族元素の少なくとも1種を含有せしめたことを特徴とする請求項1記載の薄膜トランジスタ。
3. 上記酸化シリコンを含む薄膜の厚さを0.5～10nmとしたことを特徴とする請求項1もしくは2記載の薄膜トランジスタ。
4. 絶縁性基板上にゲート電極となる第1の電極パターンを形成する工程、このゲート電極となる第1の電極パターンを覆うようにゲート絶縁膜となる第1の絶縁膜を形成する工程、このゲート絶縁膜上にシリコンを主成分とする非晶質半導体薄膜パターンを形成する工程、この非晶質半導体薄膜パターンの表層部を酸化して電子を通し正孔をブロックする性質を有する酸化シリコンを含む薄膜を形成する工程、及び前記薄膜を介してドレイン電極及びソース電極となる第2及び第3の電極パターンを形成する工程を有して成る請求項1記載の薄膜トランジスタの製造方法。

5. 上記酸化シリコンを含む薄膜を形成する工程において、上記非晶質半導体薄膜パターンの表層部を酸化して電子を通し正孔をブロックする性質を有する酸化シリコンを含む薄膜を形成する際に周期律表第V族元素の少なくとも1種を含有せしめて形成して成る請求項4記載の薄膜トランジスタの製造方法。
6. 上記酸化シリコンを含む薄膜の膜厚を0.5～10nm形成して成る請求項4もしくは5記載の薄膜トランジスタの製造方法。
7. 絶縁性基板上に薄膜トランジスタを複数個マトリクス状に設け、同じ行に存在する薄膜トランジスタのゲート電極となる第1の電極を相互に接続して第1のバスラインとし、同じ列に存在する薄膜トランジスタのドレインとなる第2の電極を相互に接続して第2のバスラインとするアクティブマトリクス回路基板において、前記薄膜トランジスタを請求項1、2もしくは3記載の薄膜トランジスタで構成してなるアクティブマトリクス回路基板。

以下、a-Si TFTと略す)はアクティブマトリクス駆動型画像表示装置のスイッチング素子として注目されている。

第8図に現在最も多く用いられているa-Si TFTの構造と製造工程を示す。以下、同図(a)～(e)の製造工程図に従って、a-Si TFTの構造を説明する。

(a) ガラス板等の絶縁性基板1上にクロム(Cr)等の金属からなるゲート電極(第1の電極)パターン2を形成する。

(b) プラズマCVD (Chemical Vapor Deposition) 法等により、ゲート絶縁膜3として用いるシリコン窒化膜(Silicon Nitride膜、以下、SiN膜と略す)、半導体薄膜(活性層)4として用いるa-Si膜、電極部接触のためのリン(P)をドーピングしたn型のa-Si膜50を順次成膜する。

(c) 通常のホトレジスト工程とドライエッチングにより表面にn型のa-Si膜50を有する半導体膜パターン4を形成する。

8. 請求項7記載のアクティブマトリクス回路基板に設けられた薄膜トランジスタのソース電極となる各第3電極に表示画素電極を接続し、かかる表示画素電極に対向して、対向電極が設けられると共に前記表示画素電極と前記対向電極の間に電圧印加により状態変化の生ずる表示物質が充填、密閉されて表示セルを構成してなる画像表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は薄膜トランジスタ及びその製造方法並びにそれを用いたアクティブマトリクス回路基板と画像表示装置に係り、特に、製造工程の短縮化と歩留り向上に好適な薄膜トランジスタ及びその製造方法並びにそれを用いたアクティブマトリクス回路基板と画像表示装置に関する。

(従来の技術)

非晶質シリコン(amorphous Silicon、以下a-Siと略す)を半導体層とした薄膜トランジスタ(amorphous Silicon Thin Film Transistor、

(d) ドレイン電極として働く第2の電極5とソース電極として働く第3の電極6を形成する。

(e) 第2の電極5と第3の電極6の間に存在する薄膜トランジスタのチャネル部より、ドライエッチング法等によりn型のa-Si膜50を除去する。

以上でa-Si TFTが完成し、第1の電極が第1のバスラインに、第2の電極が第2のバスラインに、第3の電極が表示画素電極にそれぞれ接続されたり、更に、保護膜を設ける等して、アクティブマトリクス駆動型画像表示装置に用いられている。

上記従来技術では、第8図(e)の工程に示したようにドレイン電極5とソース電極6の間のチャネル部より抵抗の低いn型のa-Si膜50を除去しなければならない。しかし、半導体膜パターン4を構成するa-Si膜上のn型a-Si膜50を選択的にエッチングする技術が確立されておらず、下地のa-Si膜4までエッチングしてしまい、この工程での不良発生は、大きな問題となること

があった。そこで、止むなく必要以上に厚い $a-Si$ 膜4を形成し、上部の n 型 $a-Si$ 膜50の選択エッチングに際しては下地 $a-Si$ 膜4が多少エッチングされることを見込んで処理せざるを得なかった。トランジスタの特性向上を図る上では、この $a-Si$ 膜の厚みを薄くすることが必要であり、そのため、この n 型の $a-Si$ 膜50に関連するプロセスを簡略化する方法として、例えば特開昭61-234080号に記述されるごとく、ソース電極およびドレイン電極材料に周期律表第V族元素を含有させて電極を形成し、電極と非晶質シリコン半導体との間に不純物層を形成させる方法が提案されている。

〔発明が解決しようとする課題〕

しかるに、前記 n 型の $a-Si$ 膜の形成プロセスを省略した不純物含有の電極材料はクロムや銀を用いた電極に0.1%以下のリンを含有せしめた材料であり、電極パターン形成後は下地非晶質シリコン界面と良好なオーミックコンタクトを実現するためには熱処理が必要である。そのために非

晶質シリコンを250℃以上の高温にさらすと、非晶質シリコン中に含まれた水素が放出されるため、非晶質シリコンに250℃以上の温度を与えることができない。このため、250℃以下の熱処理と、リン濃度0.1%以下の電極材料を用いて、良好なオーミック接触や薄膜トランジスタにおける電子注入や正孔阻止の機能を有する n 型の $a-Si$ 層を、非晶質シリコンと電極の界面に安定して形成することは困難であった。

本発明の目的は、上記従来の問題点を解決することにある。その第1の目的は、 n 型の $a-Si$ 膜に関連するプロセスを省略しても、従来プロセスによる薄膜トランジスタと同等以上の特性を示す改良された薄膜トランジスタを、第2の目的はその製造方法を、第3の目的はそれを用いたマトリクス回路基板を、そして第4の目的はこのマトリクス回路基板を用いた画像表示装置をそれぞれ提供することにある。

〔課題を解決するための手段〕

上記第1の目的は、(1)絶縁性基板上にゲー

ト電極として設けられた第1の電極パターンと、少なくともこの電極パターンを覆うようにゲート絶縁膜として設けられた第1の絶縁膜と、この絶縁膜上に前記第1の電極パターンと重なりあかつ存在領域を限定して設けられたシリコンを主成分とする半導体薄膜パターンと、この半導体薄膜パターン上にその一部を被覆しかつ互に離間してドレイン電極及びソース電極として設けられた第2及び第3電極とを有して成る薄膜トランジスタにおいて、前記半導体薄膜パターン上の少なくとも前記第2及び第3電極との界面に電子を通し正孔をブロックする性質を有する酸化シリコンを含む薄膜を設けて成ることを特徴とする薄膜トランジスタにより、また好ましくは(2)上記酸化シリコンを含む薄膜に、周期律表第V族元素の少なくとも1種を含有せしめることにより、さらに好ましくは(3)上記(1)、(2)の酸化シリコンを含む薄膜の厚みをそれぞれ0.5~10nmとした薄膜トランジスタにより達成される。

上記第2の目的は、(1)絶縁性基板上にゲー

ト電極となる第1の電極パターンを形成する工程、このゲート電極となる第1の電極パターンを覆うようにゲート絶縁膜となる第1の絶縁膜を形成する工程、このゲート絶縁膜上にシリコンを主成分とする非晶質半導体薄膜パターンを形成する工程、この非晶質半導体薄膜パターンの表層部を酸化して電子を通し正孔をブロックする性質を有する酸化シリコンを含む薄膜を形成する工程、及び前記薄膜を介してドレイン電極及びソース電極となる第2及び第3の電極パターンを形成する工程を有して成る薄膜トランジスタの製造方法により、また好ましくは(2)上記酸化シリコンを含む薄膜を形成する工程において、上記非晶質半導体薄膜パターンの表層部を酸化して電子を通し正孔をブロックする性質を有する酸化シリコンを含む薄膜を形成する際に周期律表第V族元素の少なくとも1種を含有せしめて形成することにより、さらに好ましくは上記(1)、(2)の酸化シリコンを含む薄膜の膜厚をそれぞれ0.5~10nm形成して成る薄膜トランジスタの製造方法により達成するこ

とができる。

なお、上記シリコンを主成分とする非晶質半導体薄膜パターンを表層部を酸化して電子を通し正孔をブロックする性質を有する薄膜を形成する好ましい工程としては、以下のような工程を挙げることができる。

(a)、酸化剤（たとえば、硝酸、亜硝酸、過マンガン酸、クロム酸、過酸化水素、硫酸など）を含む水溶液による前記半導体薄膜の表面処理工程。

(b)、少なくともリン酸を含む水溶液あるいは少なくともリン酸と酸化剤を含む水溶液による前記半導体薄膜の表面処理工程。これにより、周期律表第Ⅴ族元素としてリンを含む酸化シリコン膜が形成できる。

(c)、温度が50℃以上の温水による前記半導体薄膜の表面処理工程。

(d)、 O_2 、 O_3 、 N_2O 、 H_2O 及び CO_2 の少なくとも1種を含む気体中で、100℃～300℃の温度で行う熱処理工程。典型的な処理例としては、大気中において上記温度で行う熱処理工程。

このことのできる本発明のアクティブマトリクス回路基板に設けられた薄膜トランジスタのソース電極となる各第3電極に表示画素電極を接続し、かかる表示画素電極に対向して、対向電極が設けられると共に前記表示画素電極と前記対向電極の間隙に電圧印加により状態変化を生ずる表示物質が充填、密閉されて表示セルを構成してなる画像表示装置により、達成される。

上記の電圧印加により状態変化を生ずる表示物質として代表的なものは液晶であるが、その他表示セルの構造により、例えばプラズマ放電用ガス、発光体等の周知の表示物質をも使用することができる。

〔作 用〕

従来のn型の非晶質シリコンに関するプロセス（成膜工程とチャネル部からの除去工程）を省略するには以下の条件を満たす必要がある。

条件Ⅰ：チャネル部の非晶質シリコン膜の低抵抗化を防止しなければならない。

条件Ⅱ：ゲート電極にオン信号を与えたときは、

(a)、 O_2 、 O_3 、 N_2O 、 H_2O 、 CO_2 の少なくとも1種を含むガスプラズマによる前記半導体薄膜の表面処理工程。

(f)、(e)に記載したガスプラズマに周期律表第Ⅴ族元素を含む気体を添加したガスプラズマによる前記半導体薄膜の表面処理工程。これにより、周期律表第Ⅴ族元素を含む酸化シリコン膜が形成できる。

上記第3の目的は、絶縁性基板上に薄膜トランジスタを複数個マトリクス状に設け、同じ行に存在する薄膜トランジスタのゲート電極となる第1の電極を相互に接続して第1のバスラインとし、同じ列に存在する薄膜トランジスタのドレインとなる第2の電極を相互に接続して第2のバスラインとするアクティブマトリクス回路基板において、前記薄膜トランジスタを上記第1の目的を達成することのできる本発明の薄膜トランジスタで構成してなるアクティブマトリクス回路基板により、達成される。

上記第4の目的は、上記第3の目的を達成する

半導体膜である非晶質シリコンと第2、第3の電極界面でオン電流を大きく制限してはならない。

条件Ⅲ：ゲート電極にオフ信号を与えたときは、

半導体膜である非晶質シリコンと第2、第3

の電極界面で正孔を阻止しなければならない。

本発明では、以下のようにして上記条件を満足しているので、n型の非晶質シリコンに関連するプロセスを省略しても、従来の非晶質シリコン薄膜トランジスタと同等以上の特性が得られる。

条件Ⅰに対して：チャネル部の表面を非晶質シリコン膜より抵抗の高い酸化シリコンを含む薄膜層で被覆しているため、チャネル部の低抵抗化はない。また、第2、第3の電極を構成する金属膜の成膜でのシリサイド形成も、前記酸化シリコンを含む薄膜層で阻止されているのでシリサイド形成による低抵抗化もない。

条件Ⅱ、Ⅲに対して：酸化シリコンを含む薄膜層がn型の高抵抗層として働く。本発明では、

この薄膜層を非晶質シリコン膜の表面に極く薄く、好ましくは0.5~10nmと極めて薄い厚みで形成することにより、条件Ⅱと条件Ⅲを満足させた。すなわち、非晶質シリコン膜がオン状態で低抵抗化しているときは、電流はトンネル電流として酸化シリコンを含む薄膜層を流れる。それに対しオフ状態で、非晶質シリコン膜が高抵抗状態にある時には、酸化シリコンを含む薄膜層は正孔に対するブロッキング層として働き、オフ電流を小さなものとする。このような効果は、酸化シリコンを含む薄膜層にリン等の周期律表中の第Ⅴ族元素を含有せしめて、n型の性質を強めると一層大きくなる。ただし、このⅤ族元素の導入は過剰に加えると薄膜層自体の抵抗値が低下するので、これが異常に低下しない程度の適量にとどめることが望ましい。また、この効果は、前述のとおり酸化シリコンを含む薄膜層の厚みを0.5~10nmとした場合が好ましく、製造プロセスの容易さ、薄膜トランジスタの

特性から、さらに1.0~3.0nmとすることがより好ましい。

なお、酸化シリコンの組成を一般式で示すと、 SiO_x ただし、 $1.5 \leq x \leq 2$ となるが、実際には $x=1$ と $x=2$ の混合物、つまり SiO と SiO_2 の混合物、その他幾つかの x 値（この場合には、 $0 \leq x \leq 2$ ）を同時に含む混合系から成る場合が多い。もちろん $x=2$ の SiO_2 単独の場合もあり得る。

〔実施例〕

実施例 1

以下、本発明の一実施例を第1図~第3図により説明する。

第1図(a)と(b)は本発明を適用した薄膜トランジスタの例を断面図で、同図(c)はドレイン電流 I_D とゲート電圧特性曲線を示したものである。第2図は第1図(a)に示した薄膜トランジスタの製造プロセスを、第3図は第1図(b)に示した薄膜トランジスタの製造プロセスを示したものである。

第1図(a)、(b)において、1はガラス板等の絶縁性基板を、2はゲート電極として働く第1の電極を、3はゲート絶縁膜を、4は半導体層となるシリコンを主成分とする薄膜パターンを、5はドレイン電極として働く第2の電極を、6はソース電極として働く第3の電極を、10はシリコンを主成分とする薄膜表面に設けた、酸化シリコンを含む薄膜層あるいは酸化シリコンと周期律表中の第Ⅴ族元素を含む薄膜層を示す。

以下、第2図(a)~(e)と第3図(a)~(e)により、製造プロセスを説明する。

なお、以下の図面の説明では、例えば工程図(a)、(b)のように、第2図、第3図共に共通の場合には図番の説明を省略し、それぞれが異なる場合についてのみ図番を示して説明する。

(a) : ガラス板等の絶縁性基板1上に、クロム膜等の金属膜をスパッタリング法等により成膜し、通常のホットエッチング工程を用いて、ゲート電極として働く第1の電極パターン2を形成する。

(b) : プラズマCVD法により、ゲート絶縁膜

3として用いるシリコン窒化膜等の絶縁膜と半導体層として用いるアンドープの非晶質シリコン膜4を成膜する。

(c) : 第1図(a)に示した薄膜トランジスタの場合には、通常のホトレジスト工程とドライエッチング法を用いて第2図(c)に示すように非晶質シリコン膜よりなる島状パターン4を形成する。

第1図(b)に示した薄膜トランジスタの場合には、リン酸と硝酸、酢酸、水よりなる40℃の処理液に1分間浸漬し、第3図(c)に示すように非晶質シリコン膜4の表層部に酸化シリコン(SiO_x ただし、 $1.5 \leq x \leq 2$)とわずかなリン(P)を含む薄膜層10を形成する。

(d) : 第1図(a)に示した薄膜トランジスタの場合には、リン酸と硝酸、酢酸、水よりなる40℃の処理液に1分間浸漬し、第2図(d)に示すように非晶質シリコン膜4の表層部に酸化シリコン(SiO_x ただし、 $1.5 \leq x < 2$)とわずかなリン(P)を含む薄膜層10を形成する。

第1図(b)に示した薄膜トランジスタの場合には、通常のホトレジスト工程とドライエッチング法を用いて第3図(d)に示すようにその表面部に薄膜10を有する非晶質シリコン膜よりなる島状パターン4を形成する。

(e): アルミニウム(A1)膜等の金属膜をスパッタリング法等により成膜し、ドレイン電極あるいはソース電極として焼く第2、第3の電極5、6を形成する。

以上で、第1図(a)、(b)に示した薄膜トランジスタが完成する。このようにして作製した薄膜トランジスタの特性を第1図(c)に示す。この第1図(c)は、ドレイン電流 $I_D^{1/2}$ とゲート電圧の関係で示した。従来例1は第8図に示す薄膜トランジスタに対する結果を、従来例2は第8図に示した薄膜トランジスタにおいて、n型の非晶質シリコン膜51、61を設けなかった場合の薄膜トランジスタに対する結果である。本発明実施例による薄膜トランジスタの実効移動度が最も大きく、従来例1の約2倍、従来例2の約50倍の値を

示した。また、しきい値電圧も本発明によるものが最も低い値を示した。

第2図に示した(d)の工程、あるいは、第3図に示した(e)の工程により、第1図(a)、(b)の酸化シリコンとリンを含む薄膜層10を形成したところが本発明を適用した点である。この例では、X線光電子分光法で前記酸化シリコンを含む薄膜層の厚みを推定したところ、1.2~1.5nmと見積られた。この薄膜層は高抵抗であるため、3nm以上にすると、電極部で抵抗をかむようになり、10nm以上にすると、従来法による薄膜トランジスタに比較しても、オン電流が制限されるようになる。1nm以下にすると、電極5、6を構成するアルミニウム(A1)と非晶質シリコンとの反応が生じやすくなり、オン電流が制限され、オフ電流も上昇する傾向を示した。従って、処理条件にもよるが、好ましい酸化シリコンやリンを含む薄膜層の厚みは0.5~10nmであり、より好ましくは1.0~3.0nmの範囲といえる。

実施例 2

実施例1においては、第2図の(d)工程や第3図の(e)工程が本発明を適用したところとなっている。第2図の工程で薄膜トランジスタを作製し、(d)工程での非晶質シリコン膜の表面処理方法と薄膜トランジスタの実効移動度、しきい値電圧の関係を調べた結果を第4図に示す。従来例1が通常のn型非晶質シリコンで電気的接触をとった薄膜トランジスタに対する結果であり、これよりn型の非晶質シリコン膜を取り除いたものに対する結果が従来例2である。従来例1に対する実効移動度は、この場合 $0.3 \text{ cm}^2/\text{V} \cdot \text{s}$ であった。第2図の(d)工程での非晶質シリコン膜の表面処理は、酸化のみを目的としたものと、酸化してかつリンを添加しようとしたものを行った。

酸化層形成のみを目的としているのは、硝酸水溶液処理、熱酸化処理、プラズマ酸化処理、温水処理である。各処理の条件を以下に記す。

※硝酸水溶液処理；20%濃度の硝酸水溶液に1分間浸漬したものに対する結果を示した。

※熱酸化処理；大気中雰囲気にて200℃の温度で30

分の熱酸化処理を施した場合を示した。本実施例では、非晶質シリコン膜の水素脱離の少ない300℃以下の温度で熱酸化を行うことにした。雰囲気は酸化性雰囲気であれば良い。
※プラズマ酸化処理；酸素プラズマに5分さらした場合を示した。本実施例では、非晶質シリコン膜の表面処理を行うプラズマ中に酸素を含む気体、たとえば O_2 、 O_3 、 N_2O 、 H_2O 、 CO_2 等を含んでいれば良い。

※温水処理；70℃の温水に1分間浸漬した場合を示した。このような効果は、50℃以上の温水を用いることによって得られる。

リンと酸化シリコンを含む薄膜層の形成を目的にしているものは、※リン酸処理、※リン酸と硝酸を含む水溶液による処理、※リン酸と硝酸、酢酸を含む水溶液による処理である。これらの処理は40℃の温度で行ったが、常温でもさしつかえない。第4図より、上記した非晶質シリコン膜の表面処理を行ったものは、従来の比較例として表示した薄膜トランジスタ(従来例1)と同等以上の

特性を示していることがわかる。特に、リン酸と酸化剤を含む水溶液によって処理したものは従来例1よりもすぐれた特性を示した。同様な効果は、プラズマ酸化処理において、プラズマを構成するガスにV族元素を含む気体、たとえば PH_3 や AsH_3 等を含むせしめることによっても得られる。第4図には、オフ電流については示していないが、すべて従来例1と同等以上の特性であった。

実施例 3

第5図(a)～(f)に本発明による薄膜トランジスタの製造方法の第3の実施例を示す。これは、チャネルの保護膜を形成してから、保護膜に設けたスルーホールを通して第2、第3の電極を形成した場合を示している。以下、工程順に説明する。

(a) ; ガラス等の絶縁性基板1上に、クロム膜等の金属膜をスパッタリング法等により成膜し、通常のエッチング工程を用いて、ゲート電極パターン2を形成する。

(b) ; プラズマCVD法により、ゲート絶縁膜

3として用いるシリコン窒化膜等の絶縁薄膜と、半導体層とするアンダーの非晶質シリコン膜4、保護膜26とするシリコン窒化膜等の絶縁薄膜を順次成膜する。

(c) ; 通常のエッチング工程とドライエッチングを用いて、ゲート絶縁膜3と半導体膜4、保護膜26からなる島状パターン40を形成する。

(d) ; 通常のエッチング工程を用いて保護膜中に第2、第3の電極を設けるためのスルーホール45を形成する。

(e) ; リン酸と硝酸を含む水溶液に1分間浸漬し、酸化シリコンとわずかなリンを含む薄膜層10を形成する。

(f) ; アルミニウム等の金属膜をスパッタリング法等により成膜し、ドレイン電極あるいはソース電極として働く第2の電極5と第3の電極6を形成する。

以上でチャネルの表面を大気にさらすことなく薄膜トランジスタを作製できる。この場合にも、本発明による(e)工程の導入により、n型の非

晶質シリコンに関連する工程を省略しても従来の薄膜トランジスタと同等以上の特性を得ることができる。この場合にも、(e)工程において、第2の実施例で示した各種の表面処理が適用できる。

実施例 4

第4の実施例を第6図(a)、(b)に示す。第6図(a)は、第1図(a)において、半導体層4をゲート電極2の端から半導体層の厚み以上にわたって内側にしたものである。また、第6図(b)も第5図において、半導体層4をゲート電極2の端から半導体層の厚み以上にわたって内側にしたものである。第6図(a)は第2図に示した製造プロセスにより、第6図(b)は第5図に示した製造プロセスにより作製できる。この実施例によれば、n型の非晶質シリコン膜に関連する工程を省略しても、薄膜トランジスタのオン特性が改善され、特に、オン電流を大きく取れるようになる。実効移動度でみれば、従来の非晶質シリコン薄膜トランジスタでは通常 $0.3 \sim 0.5 \text{ cm}^2/\text{V} \cdot \text{s}$ であるが、本実施例では約 $1 \text{ cm}^2/\text{V} \cdot \text{s}$ の値も

取れるようになる。特に第6図(a)に示した構造の薄膜トランジスタの特性が著しく向上した。

実施例 5

第7図は、第6図(a)に示した非晶質シリコン薄膜トランジスタより構成したアクティブマトリクス回路基板を用いた液晶表示装置からなる本発明の画像表示装置を形成した実施例の要部を示したものである。第7図(a)はその平面図を、第7図(b)は断面図を示したものである。

図において、70は実施例4の第6図(a)に示した非晶質シリコン薄膜トランジスタを用いたアクティブマトリクス回路基板で、図面では省略されているが、多数の薄膜トランジスタがX-Y二次元の行及び列に配置されており、隣接するゲート電極となる第1の電極2同士はゲートバスラインに、またドレイン電極となる第3の電極5同士もドレインバスラインに接続されている。一方、ソース電極となる第3の電極6はそれぞれ表示画素電極7に接続されている。20は偏光板、21はカラーフィルタ、23は透明導電膜からなる表示画素

電極7の対向電極で同じく透明導電膜から構成されているもの、22、26はそれぞれ保護膜、24は配向膜、そして25は空隙に充てんされた液晶を示す。

この画像表示装置の例は、上記のような構成でカラー表示用のものを示している。また、この表示装置は、周知のカラー液晶表示装置の製造工程と同様にして容易に製造することができる。

なお、実際の表示装置においては、第7図の構成の他に周知の画像表示駆動手段として、各種電気回路制御系及び背面からの照明手段などが設けられているが、これについては省略した。

(発明の効果)

本発明によれば、ドレイン電極、ソース電極の電気的接触に用いるn型のシリコン薄膜に関連したプロセスを省略しても、従来の薄膜トランジスタと同等以上の特性が得られるので、製造工程数を削減できるとともに、n型のシリコン薄膜に関連したプロセス(成膜および加工プロセス)における不良を無くすることができる効果がある。

従って、本発明による薄膜トランジスタにより

7…表示画面電極

10…酸化シリコンあるいは酸化シリコンと周期律

表第V族元素を含む薄膜層

20…偏光板

21…カラーフィルタ

23…対向電極

24…配向膜

25…液晶

70…アクティブマトリクス回路基板

22、26…保護膜

50、51、61…n型のシリコン薄膜

構成されたアクティブマトリクス回路基板、しいては、これを用いて構成した画像表示装置では、工程数を削減するとともに高歩留りを実現することができ、この技術分野の発展に寄与するところ多大である。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す薄膜トランジスタの断面図、第2図と第3図、第5図は本発明による薄膜トランジスタの製造プロセスの実施例、第4図は本発明の効果を示すグラフ、第6図は本発明の他の実施例を示す薄膜トランジスタの断面図、第7図(a)は本発明による液晶表示装置の一実施例を示す平面図、第7図(b)はその断面図、第8図は従来技術を説明する工程図である。

1…絶縁性基板(ガラス板)

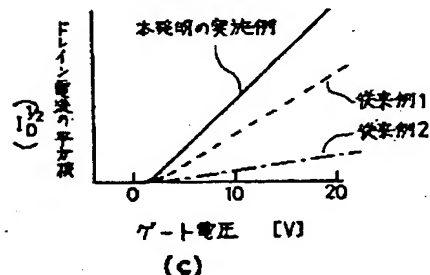
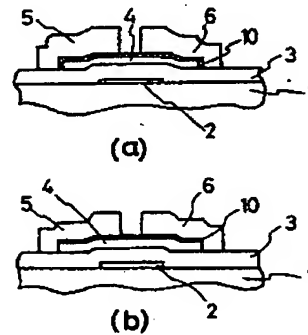
2…第1の電極(ゲート電極)

3…ゲート絶縁膜

4…半導体薄膜(シリコン薄膜)

5…第2の電極(ドレイン電極)

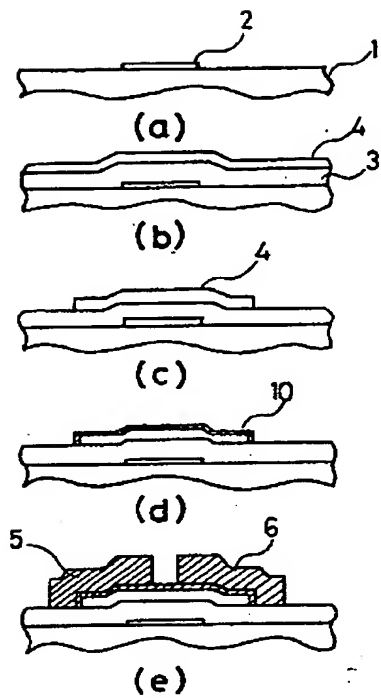
6…第3の電極(ソース電極)



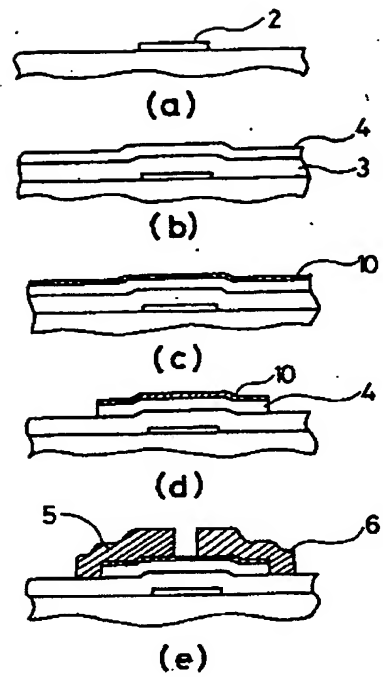
1…絶縁性基板
2…第1の電極
3…ゲート絶縁膜
4…半導体薄膜
5…第2の電極
6…第3の電極
10…酸化シリコンあるいはリンと酸化シリコンを含む薄膜層

第1図

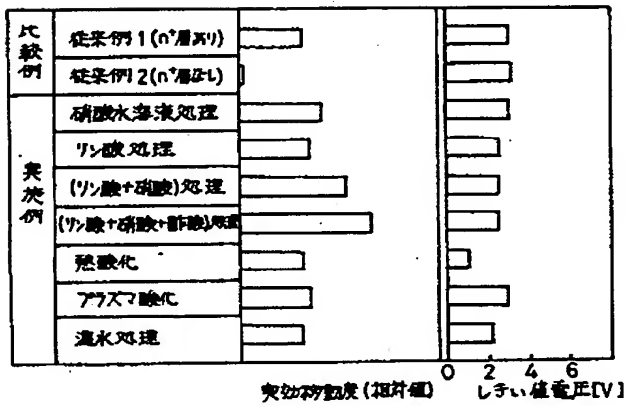
代理人弁理士 中村 純之助



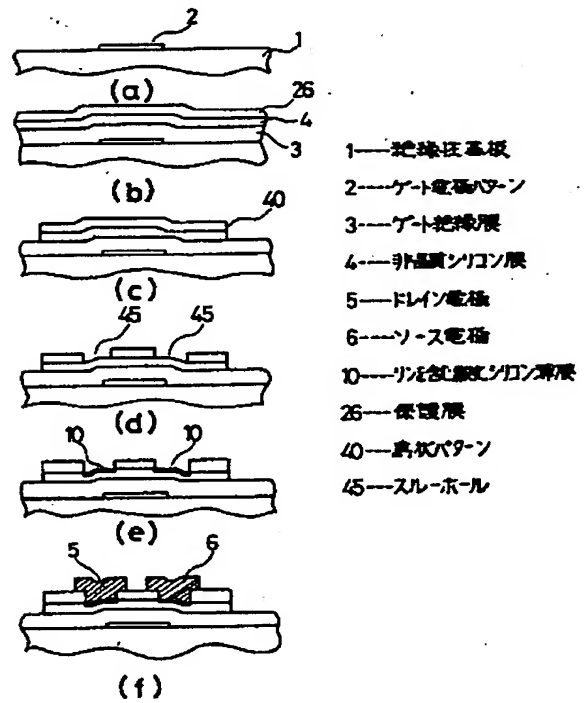
第 2 図



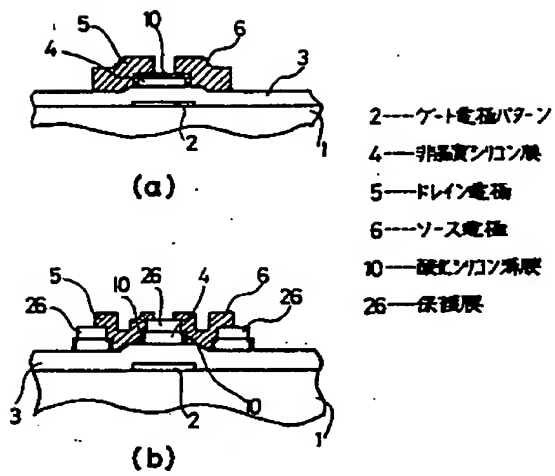
第 3 図



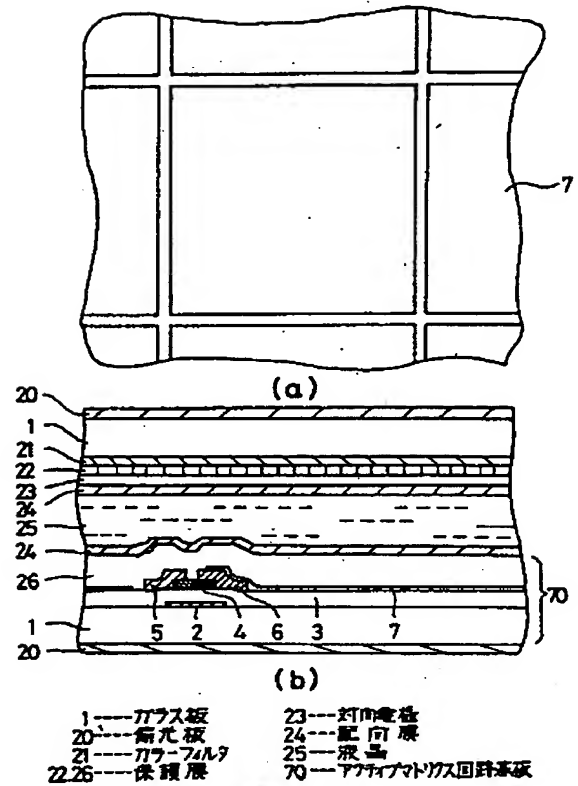
第 4 図



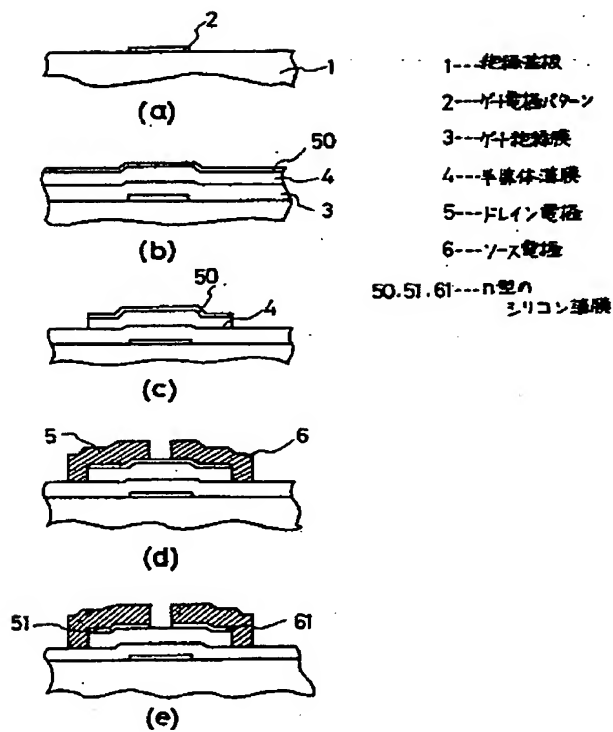
第 5 図



第 6 図



第 7 図



第 8 図

第1頁の続き

⑤Int.Cl.⁵

G 02 F 1/136
H 01 L 29/784

識別記号

5 0 0

庁内整理番号

7370-2H

②発明者 頼 富 美 文 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作
所生産技術研究所内

②発明者 釧 持 秋 広 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作
所生産技術研究所内